

一、特性描述

TM3905L_2 是单线三通道LED恒流驱动专用电路，可通过双通道数字接口（DIN、FDIN）互相切换输入，与D0口级联，实现级联中某颗芯片损坏而不影响后级的正常使用。外部控制器只需单线即可对芯片进行控制。芯片内部集成有MCU单线双通道数字接口、数据锁存器、LED恒流驱动、PWM辉度控制等电路。适用于护栏管、点光源等LED装饰类产品。本产品性能优良，质量可靠。

二、功能特点

- 采用功率CMOS工艺
- 固定恒流输出 2.5mA
- 应用于 5V方案
- OUT输出端口耐压 12V
- PWM辉度控制电路，调制灰度等级 4096 级
- 精确的电流输出值
- 单线双通道串行级联接口：正常模式下输入接口相互切换，D0 转发级联的数据，信号不因某颗芯片异常而影响其他芯片正常工作
- 支持超低功耗待机模式
- 振荡方式：内置RC振荡并根据数据线上信号进行时钟同步，在接收完本单元的数据后能自动将后续数据再生并通过数据输出端发送至下级, 信号不随级联变远而出现失真或衰减
- 内置上电复位电路，上电复位后所有寄存器初始化为零
- 数据传输速率 800KHz
- 封装形式：倒装、灯芯一体封装。

三、内部结构框图

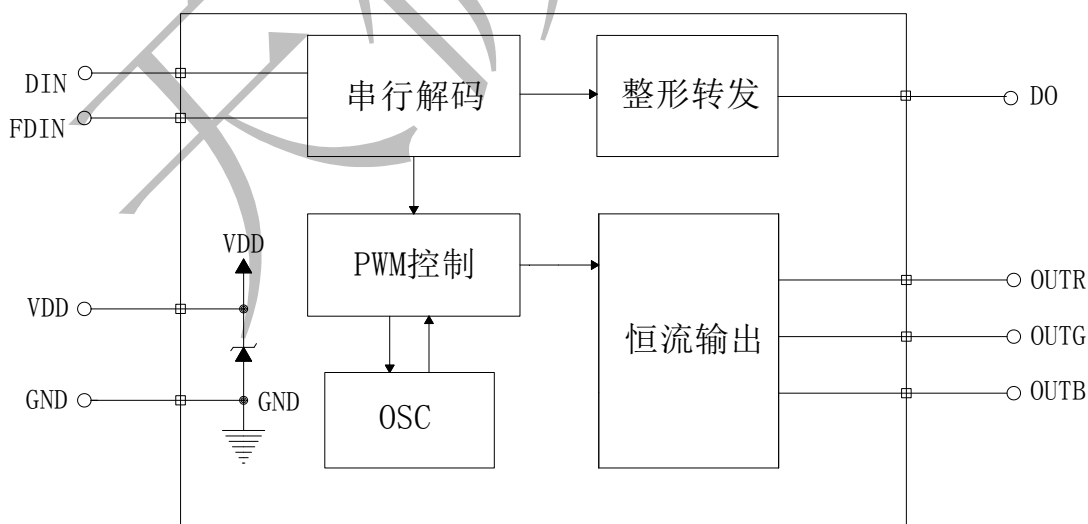


图 1

四、管脚功能

引脚名称	引脚序号	I/O	功能说明
OUTR	1	0	N管开漏，恒流输出
OUTG	2	0	N管开漏，恒流输出
OUTB	3	0	N管开漏，恒流输出
GND	4	--	电源负极
DO	5	0	数据输出
DIN	6	I	数据输入
FDIN	7	I	备用数据输入
VDD	8	--	电源正极

五、输入输出等效电路

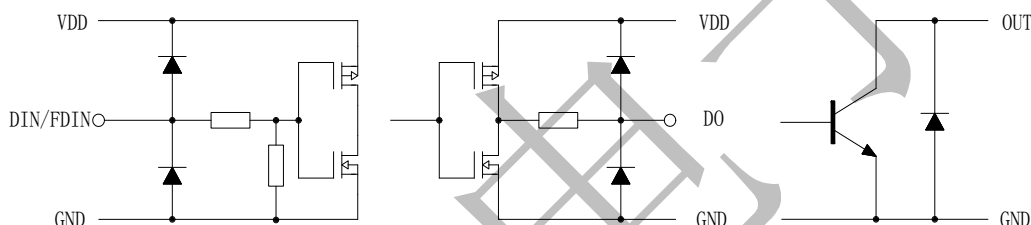


图 2



集成电路系静电敏感器件，在干燥季节或者干燥环境使用容易产生大量静电，静电放电可能会损坏集成电路，天微电子建议采取一切适当的集成电路预防处理措施，不正当的操作和焊接，可能会造成 ESD 损坏或者性能下降，芯片无法正常工作。

六、极限参数

参数名称	参数符号	极限值	单位
逻辑电源电压	VDD	-0.4~+7.0	V
DIN、FDIN 端口电压	V _{in}	-0.4~VDD+0.7	V
OUT 端口电压	V _{out}	-0.4~+15.0	V
工作温度范围	T _{opr}	-40~+85	°C
储存温度范围	T _{stg}	-50~+150	°C
静电 ESD	人体模式 (HBM)	4000	V

(1) 以上表中这些等级，芯片在长时间使用条件下，可能造成器件永久性伤害，降低器件的可靠性。我们不建议在其它任何条件下，芯片超过这些极限参数工作；

(2) 所有电压值均相对于系统地测试。

七、推荐工作条件

在-40~+85℃下测试，除非另有说明			TM3905L_2			单位
参数名称	参数符号	测试条件	最小值	典型值	最大值	
电源电压	VDD		4.5	5.0	6.5	V
DIN、FDIN 端口电压	Vin	VDD=5V, DIN、FDIN 串接 1KΩ电阻			VDD+0.4	V
DO 端口电压	Vdo	VDD=5V, DO 串接 1KΩ电阻			VDD+0.4	V
OUT 端口电压	Vout	OUT=OFF			15.0	V

八、电气特性

在 VDD=4.5~5.5V 及工作温度-40~+85℃下测试， 除非另有说明			TM3905L_2			单位
参数名称	参数符号	测试条件	最小值	典型值	最大值	
高电平输出电压	Voh	Ioh=3mA	VDD-0.5			V
低电平输出电压	Vol	Iol=10mA			0.4	V
高电平输入电压	Vih	VDD=5.0V	3.5		VDD	V
低电平输入电压	Vil	VDD=5.0V	0		1.0	V
高电平输出电流	Ioh	VDD=5.0V, Vdo=4.9V		1		mA
低电平输出电流	Iol	VDD=5.0V, Vdo=0.4V		10		mA
输入电流	Iin	DIN、FDIN 接 VDD		1		μA
一般模式下无信号 灭屏电流（待机电 流）	IDD1	VDD=5.0V, GND=0V, 待机状态		150		μA
一般模式下有信号 正常工作电流	IDD2	VDD=5.0V, IOUT “OFF”		900		μA
OUT 输出恒定电流	Iout	OUTR, OUTG, OUTB=ON, Vout=3.0V		2.5		mA
OUT 输出漏电流	Iolk	OUTR, OUTG, OUTB=OFF, Vout=12.0V			0.5	μA

九、开关特性

在VDD=4.5~5.5V及工作温度-40~+85℃下测试，典型值 VDD=5.0V, TA=+25℃，除非另有说明			TM3905L_2			单位
参数名称	参数符号	测试条件	最小值	典型值	最大值	
数据速率	Fin			800		KHz
OUT PWM 输出频率	Fout	OUTR, OUTG, OUTB		3.6		KHz
传输延迟时间	Tplz	DIN → DO FDIN → DO		170		ns
输入电容	Ci				15	PF

十、时序特性

参数名称	符号	测试条件	最小值	典型值	最大值	单位
输入 0 码, 高电平时间	T0H	VDD=5.0V GND=0V		360	410	ns
输入 1 码, 高电平时间	T1H		650	720		ns
输出 0 码, 高电平时间	T0H			360		ns
输出 1 码, 高电平时间	T1H			720		ns
0 码或 1 码周期	T0/T1			1.25		μs
Reset 码, 低电平时间	Treset		200		20000	μs

(1) 0 码或 1 码周期在 1.25 μs (频率 800KHz) 至 2.5 μs (频率 400KHz) 范围内, 芯片均可正常工作, 但是 0 码和 1 码高电平时间必须符合上表中相应数值范围;

(2) 不需复位时, 字节之间的低电平时间不要超过 50 μs, 否则芯片可能复位, 复位后又重新接收数据, 无法实现数据正确传送。

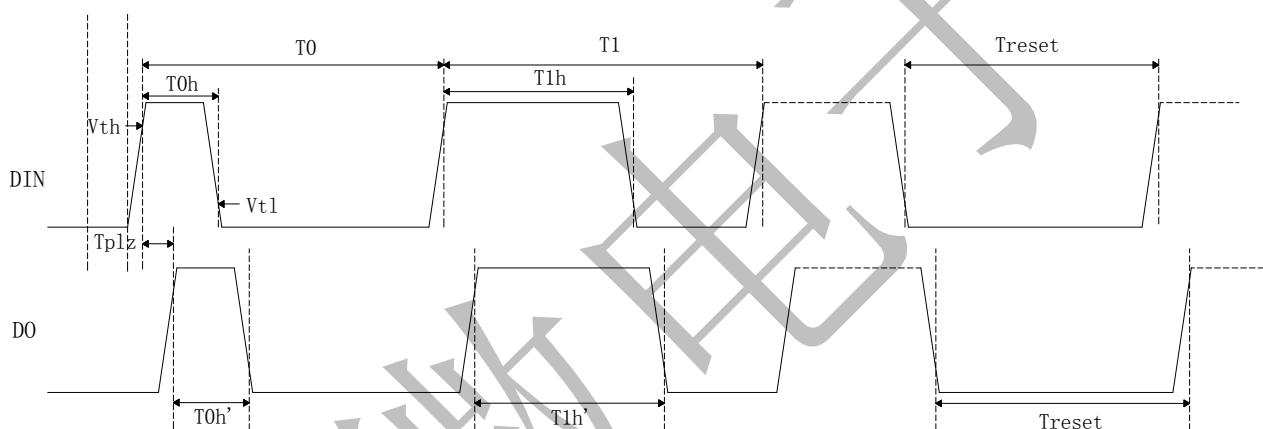


图 3

十一、功能说明

芯片上电复位后, 开始接收显示数据, 接收完 24bit 后, DO 端口开始转发 DIN 或 FDIN 端继续发来的数据, 为下颗级联芯片提供显示数据。在转发数据之前, DO 端口一直为低电平。如果 DIN 或 FDIN 端输入 Reset 复位信号, 芯片 OUT 端口将根据接收到的 24bit 显示数据输出相应占空比的 PWM 波形, 且芯片重新等待接收新的数据, 在接收完开始的 24bit 数据后, 通过 DO 端口转发数据, 芯片在没有接收到 Reset 信号前, OUTR、OUTG、OUTB 原输出保持不变。芯片具备低功耗待机模式, 如果接收的 24bit 显示数据全为 0, 则芯片进入低功耗待机模式; 如果接收的 24bit 显示数据不全为 0, 则芯片进入普通模式。当芯片超过 1s 没有接收到 DIN/FDIN 的显示数据, 则芯片自动进入低功耗模式。处于低功耗模式中, 芯片接收到正常的非全 0 数据帧则会进入普通模式进行显示输出。

芯片采用自动整形转发技术, 信号不会失真衰减。对于所有级联在一起的芯片, 数据传输的周期是一致的。

1、一帧完整数据结构

D1	D2	D3	D4	...	Dn	Reset	D1	D2	D3	D4	...	Dn	Reset
----	----	----	----	-----	----	-------	----	----	----	----	-----	----	-------

D1、D2、D3、D4、……、Dn 数据格式相同, D1 表示级联第 1 颗芯片的显示数据包, Dn 表示级联第 n 颗芯片的显示数据包, 每个显示数据包包含 24bit 数据位。Reset 表示复位信号, 低电平有效。

2、Dn 的数据格式

R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

每个显示数据包包含 $8 \times 3\text{bit}$ 数据位，高位先发。

R[7:0]: 用于设置OUTR输出的PWM占空比。全 0 码为关断，全 1 码为占空比最大，256 级可调。

G[7:0]: 用于设置OUTG输出的PWM占空比。全 0 码为关断，全 1 码为占空比最大，256 级可调。

B[7:0]: 用于设置OUTB输出的PWM占空比。全 0 码为关断，全 1 码为占空比最大，256 级可调。

3、数据接收和转发

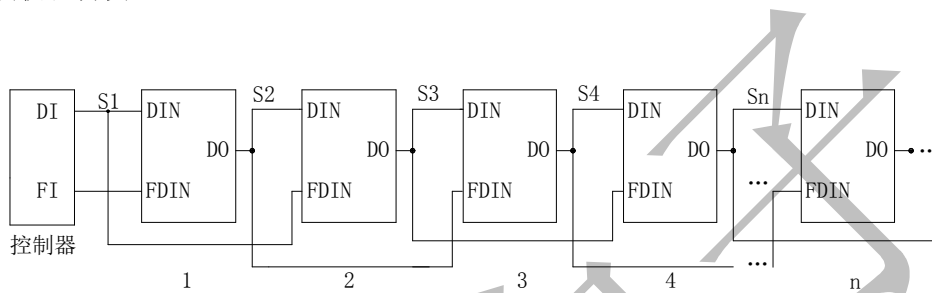


图 4

其中S1 为控制器Di端口发送的数据，S2、S3、S4 为级联TM3905L_2 转发的数据。

控制器Di和Fi2 端口数据结构: D1D2D3D4.....Dn;

控制器Fi端口数据结构: Dx D1D2D3D4.....Dn; 其中Dx为任意 24bit 数据位。

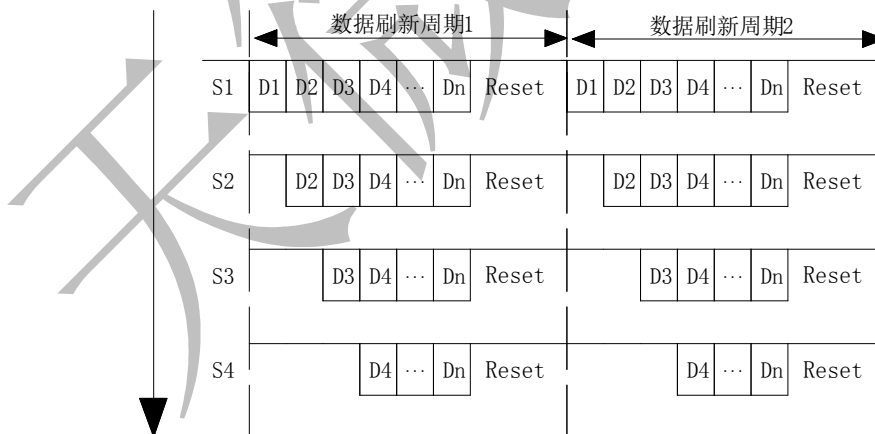


图 5

芯片级联时数据接收和转发过程如下：控制器发送数据包D1，芯片 1 接收第一组 24bit，此时芯片 1 无转发；然后控制器发送数据包D2，芯片 1 接收第二组 24bit，由于芯片 1 已经存有第一组 24bit，因此，芯片 1 通过D0把第二组 24bit转发给芯片 2，芯片 2 接收芯片 1 转发来的数据包D2，此时芯片 2 无转发；然后控制器发送数据包D3，芯片 1 又把接收到的第三组 24bit转发给芯片 2，由于芯片 2 已经存有第二组 24bit，因此，芯片 2 又把第三组 24bit转发给芯片 3，芯片 3 接收到第三组 24bit；依此类推，级联的所有芯片将得到各自的显示数据。此时如果控制器发送一个Reset信号，所有芯片将会复位并把各自接收到的 24bit数据解码后控制OUT端口输出，完成一个数据刷新周期，芯片又回到接收准备状态。Reset低电平有效，保持低电平时间大于 $200\ \mu\text{s}$ ，芯片复位。

十二、应用信息

1、典型应用电路

a)、5V 应用电路

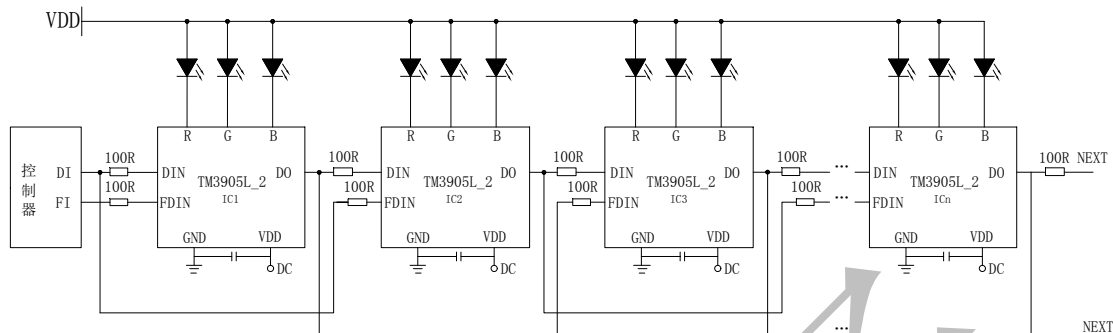


图 6

2、如何计算数据刷新速率

数据刷新时间是根据一个系统中级联了多少像素点来计算的，一组RGB通常为一个像素（或一段），一颗TM3905L_2 芯片可以控制一组RGB。

按照正常模式计算：

1bit数据周期为 $1.25 \mu s$ （频率 800KHz），一个像素数据包括R（8bit）、G（8bit）、B（8bit）共 24bit，传输时间为 $1.25 \mu s \times 24 = 30 \mu s$ 。如果一个系统中共有 1000 个像素点，一次刷新全部显示的时间为 $30 \mu s \times 1000 = 30ms$ （忽略Reset信号时间），即一秒钟刷新率为： $1 \div 30ms \approx 33Hz$ 。

以下是级联点数对应最高数据刷新率表格：

像素点数	正常模式	
	最快一次数据刷新时间 (ms)	最高数据刷新率 (Hz)
1~400	12	83
1~800	24	41
1~1000	30	33

图 7

十三、恒流曲线

将 TM3905L_2 应用到 LED 产品设计上时，通道间甚至芯片间的电流差异极小，当负载端电压发生变化时，其输出电流的稳定性不受影响，恒流曲线如下图所示：

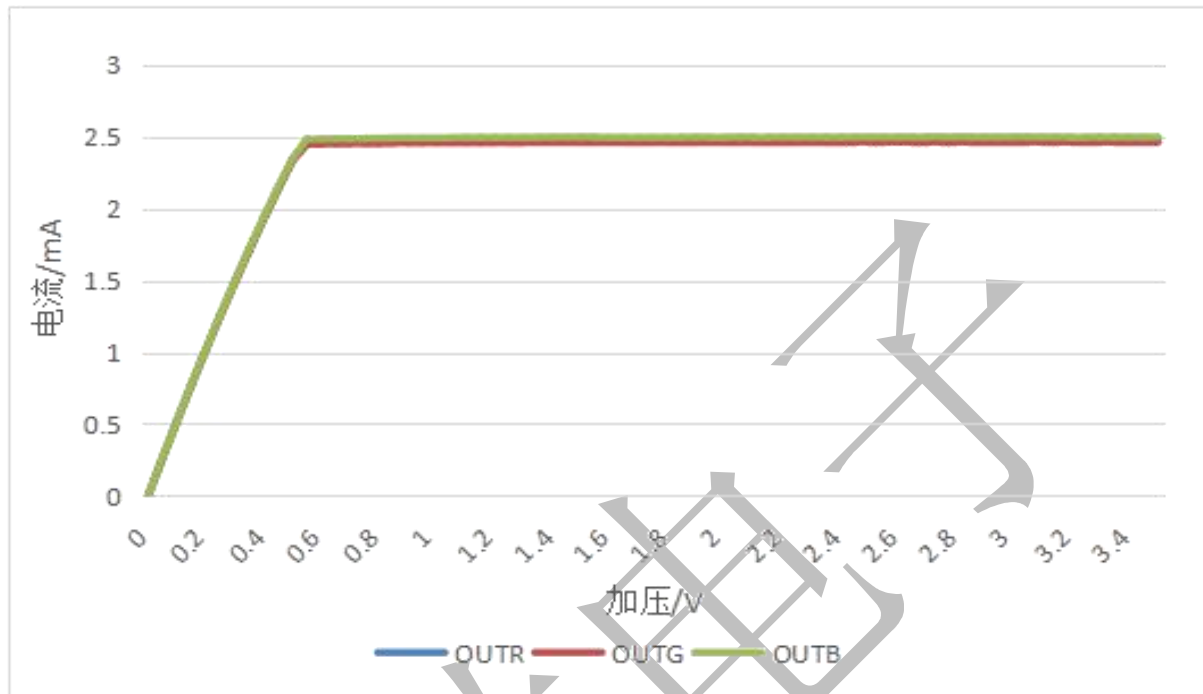


图 8

十四、倒装示意图

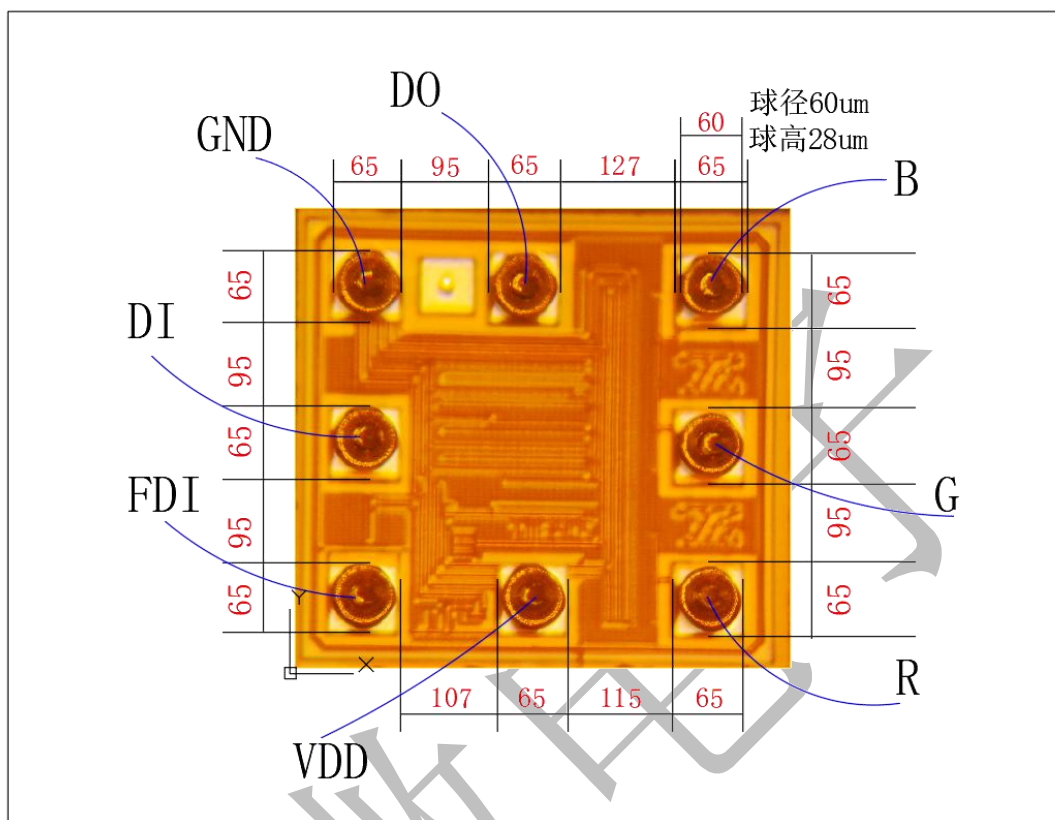
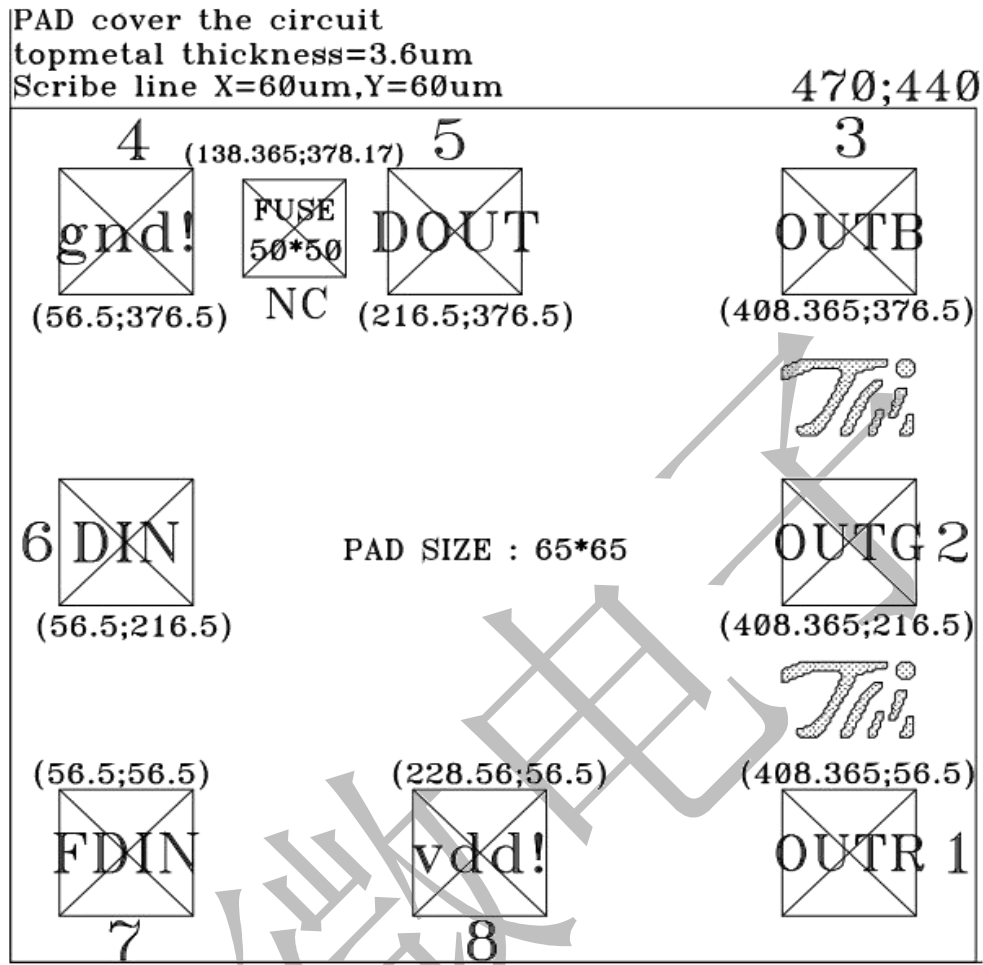


图 9

十五、芯片内部脚位图



- 1、芯片尺寸：470um * 440um
 - 2、PAD顶层铝厚度为 3.6um
 - 3、注意芯片的衬底必须悬空或者接GND
- PAD坐标

序列号	脚位名称	X(um)	Y (um)	PAD类型	PAD大小
1	OUTR	408.365	56.5	绑定PAD	65*65
2	OUTG	408.365	216.5	绑定PAD	65*65
3	OUTB	408.365	376.5	绑定PAD	65*65
4	GND	56.5	376.5	绑定PAD	65*65
5	DOUT	216.5	376.5	绑定PAD	65*65
6	DIN	56.5	216.5	绑定PAD	65*65
7	FDIN	56.5	56.5	绑定PAD	65*65
8	VDD	228.56	56.5	绑定PAD	65*65

All specs and applications shown above subject to change without prior notice.
(以上电路及规格仅供参考，如本公司进行修正，恕不另行通知)